

3. W1443-02

# COMPOUND SEMICONDUCTOR EPITAXIAL WAFER AND HETEROBIPOLAR TRANSISTOR ELEMENT USING THE SAME

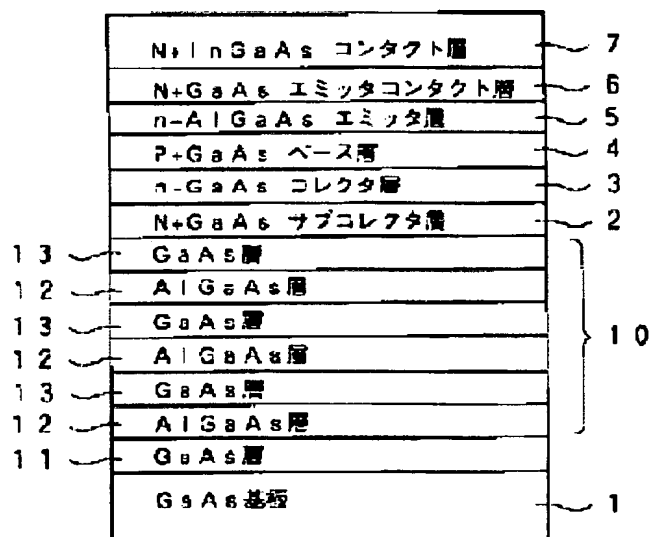
**Patent number:** JP2000315692  
**Publication date:** 2000-11-14  
**Inventor:** SAKAGUCHI HARUNORI; TSUCHIYA TADAITSU;  
 TAKANO KAZUTO; OTOGI YOHEI  
**Applicant:** HITACHI CABLE LTD  
**Classification:**  
 - international: H01L21/331; H01L29/73; H01L29/205  
 - european:  
**Application number:** JP19990121980 19990428  
**Priority number(s):**

Report a data error here

## Abstract of JP2000315692

**PROBLEM TO BE SOLVED:** To eliminate propagation of faults due to a GaAs substrate into an epitaxial layer in an HBT(heterobipolar transistor) and an epitaxial wafer.

**SOLUTION:** This compound semiconductor epitaxial wafer comprises a buffer of a multilayer structure obtained, by laminating a buffer layer 10 of a multilayer structure obtained through lamination of AlGaAs and GaAs in a plurality of periods, the buffer layer of a multilayer structure obtained by laminating AlGaAs and AlGaAs in a plurality of periods or a buffer layer of a multilayer structure obtained by laminating InGaAs and GaAs in a plurality of periods.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-315692

(P2000-315692A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 21/331		H 0 1 L 29/72	5 F 0 0 3
29/73		29/205	
29/205			

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平11-121980

(22) 出願日 平成11年4月28日 (1999. 4. 28)

(71) 出願人 000005120

日立電線株式会社

東京都千代田区大手町一丁目6番1号

(72) 発明者 坂口 春典

茨城県土浦市木田余町3550番地 日立電線株式会社アドバンスリサーチセンタ内

(72) 発明者 土屋 忠蔵

茨城県土浦市木田余町3550番地 日立電線株式会社アドバンスリサーチセンタ内

(72) 発明者 高野 和人

茨城県土浦市木田余町3550番地 日立電線株式会社アドバンスリサーチセンタ内

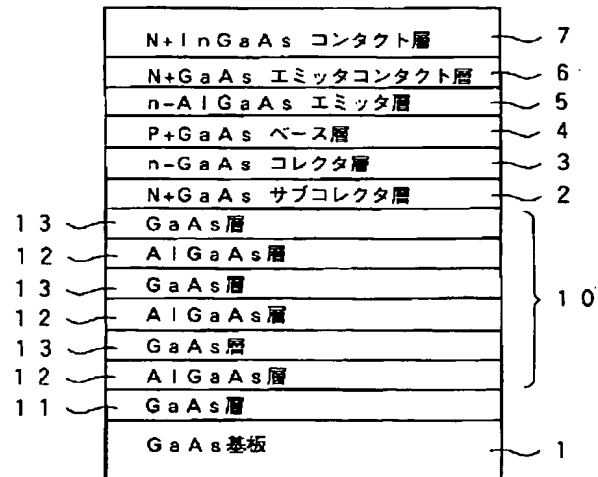
最終頁に続く

(54) 【発明の名称】 化合物半導体エビタキシャルウェハ及びこれを用いたヘテロバイポーラトランジスタ素子

(57) 【要約】

【課題】 HBT及びエビタキシャルウェハにおいて、GaAs基板に起因した欠陥をエビタキシャル層中に伝搬しないようにする。

【解決手段】 GaAs基板1とサブコレクタ層2との間に、AlGaAsとGaAsを複数周期積層した多層構造のバッファ層10、もしくは $Al_xGa_{1-x}As$ と $Al_yGa_{1-y}As$ を複数周期積層した多層構造のバッファ層20、もしくはInGaAsとGaAsを複数周期積層した多層構造のバッファ層30を設ける。



## 【特許請求の範囲】

【請求項1】GaAs基板上に、少なくともGaAsサブコレクタ層と、GaAsコレクタ層と、GaAsベース層と、AlGaAsエミッタ層もしくはInGaPエミッタ層とを積層した化合物半導体エビタキシャルウェハにおいて、前記サブコレクタ層と前記基板との間に、AlGaAsとGaAsを複数周期積層した多層構造のバッファ層もしくは組成の異なるAlGaAsとAlGaAsを複数周期積層した多層構造のバッファ層を設けたことを特徴とする化合物半導体エビタキシャルウェハ。

【請求項2】GaAs基板上に、少なくともGaAsサブコレクタ層と、GaAsコレクタ層と、GaAsベース層と、AlGaAsエミッタ層もしくはInGaPエミッタ層とを積層した化合物半導体エビタキシャルウェハにおいて、前記サブコレクタ層と前記基板との間に、InGaAsとGaAsを複数周期積層した歪み格子バッファ層を設けたことを特徴とする化合物半導体エビタキシャルウェハ。

【請求項3】請求項1又は2記載の化合物半導体エビタキシャルウェハにおいて、前記バッファ層は、本来の伝導型がP<sup>-</sup>型もしくは高抵抗であり、且つ基板からの空乏層の伸びにより空乏化している厚さとキャリア濃度となっていることを特徴とする化合物半導体エビタキシャルウェハ。

【請求項4】請求項2記載の化合物半導体エビタキシャルウェハにおいて、前記歪み格子バッファ層のInGaAsの膜厚を、そのIn<sub>x</sub>Ga<sub>1-x</sub>AsにおけるxとIn<sub>x</sub>Ga<sub>1-x</sub>As層の厚さhcとの関係が、下記式を満たす臨界膜厚以下にしたことを特徴とする化合物半導体エビタキシャルウェハ。

$$hc = [b(1 - \nu \cdot \cos \alpha) / 8\pi f(1 + \nu) \cos \lambda] \times [1n \cdot (hc/b) + 1]$$

但し、b：転位に動く力、ν：ポアソン比、f：格子不整合の割合、α：転位線とバーガスベクトルの間の角度、λ：歪みによるズレの方向とエビタキシャル層との間の角度であり、xとfは下記の関係を満たす。

$$f = (a/b - 1) \cdot x$$

a：InAsの格子定数、

b：GaAsの格子定数。

【請求項5】請求項1、2、3又は4記載の化合物半導体エビタキシャルウェハを用いて作成したことを特徴とするヘテロバイポーラトランジスタ素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ヘテロバイポーラトランジスタ(HBT)を形成する基体となる化合物半導体エビタキシャルウェハ、及びこれを用いたHBT素子、特にAlGaAs/GaAs系HBT及びInGaP/GaAs系HBTの電流増幅率βと寿命の改善に関

するものである。

## 【0002】

【従来の技術】エミッタ・ベース接合にヘテロ接合を用いたヘテロバイポーラトランジスタ(HBT)は、エミッタ層のバンドギャップがベース層のバンドギャップよりも広いことにより、エミッタ注入孔率を高くすることができるため、超高速、高出力デバイスとしての利用が期待されている。特に、AlGaAs/GaAsを材料とするHBTは、高速性・高電流駆動能力に優れているため、光通信用の高速電子デバイスとして開発が盛んに行われている。

【0003】このAlGaAs/GaAs系HBTの化合物半導体エビタキシャルウェハは、図7に示すように、半絶縁性GaAs基板1上に、N<sup>+</sup>型GaAsサブコレクタ層2、n型GaAsコレクタ層3、P<sup>+</sup>型GaAsベース層4、n型AlGaAsエミッタ層5、N<sup>+</sup>型GaAsエミッタコンタクト層6及び一般にノンアロイオーミックコンタクト層と呼ばれるN<sup>+</sup>型InGaAsコンタクト層7を順次積層して構成される。

【0004】上記のように、HBTは、一般的にはエミッタ/ベース接合がAlGaAs/GaAsヘテロ接合により構成される。しかし最近では、デバイス特性向上あるいは信頼性向上の観点から、図8の如く、エミッタ層をAlGaAsエミッタ層5からInGaPエミッタ層50に置き換えることが検討され、一部においては作製されている。これは、活性な原子であるAlを含むAlGaAs層をエミッタ層として用いた場合には、AlGaAs層に深い準位に起因する多くの非発光性再結合中心が形成され、この非発光性再結合中心を介してHBTの劣化が進行するためであり、Alを含まないInGaP層をエミッタ層として用いることによって劣化の問題を解決しようとするものである。

【0005】いずれのHBTにおいても、今まではエミッタ層やベース層に着目して、結晶性やそれらの界面の改善を図ることで、素子の信頼性を向上させようと試みられてきた。従って、基板とその上に最初に成長するエビタキシャル層との界面については殆ど研究がなされておらず、従来方法では、上記の如く基板上に特に何もせずに直ちにサブコレクタ層を成長していた。

## 【0006】

【発明が解決しようとする課題】しかしながら、従来では半導体基板上に特に何もせずに、直ちにサブコレクタ層を成長していたため、基板に潜在する欠陥がそのままエビタキシャル層にまで伝搬してしまっていた。このため、HBTの特性において重要なベース層やエミッタ層やその界面にまで、基板に起因した欠陥が伝搬してしまい、電流増幅率βを低下させ、これに伴って素子の信頼性も低下してしまっていた。

【0007】この問題を解決するためには、基板に起因した欠陥をエビタキシャル層中に伝搬しないようにする

必要がある。しかし、従来のエピタキシャル結晶では、このような効果を有する層構造がなかった。

【0008】そこで、本発明の目的は、上記課題を解決し、基板に起因した欠陥をエピタキシャル層中に伝搬しないようにした化合物半導体エピタキシャルウェハ及びHBT素子を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため、本発明は次のように構成したものである。

【0010】(1)請求項1に記載の発明は、GaAs 10 基板上に、少なくともGaAsサブコレクタ層と、GaAsコレクタ層と、GaAsベース層と、AlGaAsエミッタ層もしくはInGaPエミッタ層とを積層した化合物半導体エピタキシャルウェハにおいて、前記サブコレクタ層と前記基板との間に、AlGaAsとGaAsを複数周期積層した多層構造のバッファ層もしくは組成の異なるAlGaAsとAlGaAsを複数周期積層した多層構造のバッファ層を設けたものである。

【0011】(2)請求項2に記載の発明は、GaAs 20 基板上に、少なくともGaAsサブコレクタ層と、GaAsコレクタ層と、GaAsベース層と、AlGaAsエミッタ層もしくはInGaPエミッタ層とを積層した化合物半導体エピタキシャルウェハにおいて、前記サブコレクタ層と前記基板との間に、InGaAsとGaAsを複数周期積層した歪み格子バッファ層を設けたものである。

【0012】(3)請求項3に記載の発明は、上記請求項1又は2記載の化合物半導体エピタキシャルウェハにおいて、前記バッファ層が、本来の伝導型がP<sup>-</sup>型もしくは高抵抗であり、且つ基板からの空乏層の伸びにより 30 空乏化している厚さとキャリア濃度となっていることを特徴とするものである。

【0013】(4)請求項4に記載の発明は、上記請求\*

$$hc = [b(1-\nu \cdot \cos \alpha) / 8\pi f(1+\nu) \cos \lambda] \times [ln \cdot (hc/b) + 1] \quad \dots (1)$$

ここで、

b: 転位に動く力、つまりバーガス(Burgers)ベクトルの大きさ、

$\nu$ : ポアソン比、

f: 格子不整合の割合(ひずみ量)、

$\alpha$ : 転位線とバーガス(Burgers)ベクトルの間の角度、

$\lambda$ : 歪みによるズレの方向とエピタキシャル層との間の角度(すべり面と界面の交線に垂直な面の方向とすべり方向とのなす角)であり、xとfは下記(2)式の関係を満たす。

$$f = (a/b - 1)x \quad \dots (2)$$

ここで、aはInAsの格子定数、bはGaAsの格子定数である。

【0022】この式で算出された臨界膜厚を、上記エピ

\* 項2記載の化合物半導体エピタキシャルウェハにおいて、前記歪み格子バッファ層のInGaAsの膜厚を、そのIn<sub>x</sub>Ga<sub>1-x</sub>AsにおけるxとIn<sub>x</sub>Ga<sub>1-x</sub>As層の厚さhcとの関係が、下記式を満たす臨界膜厚以下にしたものである。

$$[0014] \quad hc = [b(1-\nu \cdot \cos \alpha) / 8\pi f(1+\nu) \cos \lambda] \times [ln \cdot (hc/b) + 1]$$

但し、b: 転位に動く力、 $\nu$ : ポアソン比、f: 格子不整合の割合、 $\alpha$ : 転位線とバーガスベクトルの間の角度、 $\lambda$ : 歪みによるズレの方向とエピタキシャル層との間の角度であり、xとfは下記(2)式の関係を満たす。

$$[0015] \quad f = (a/b - 1)x$$

a: InAsの格子定数、

b: GaAsの格子定数。

【0016】(5)請求項5に記載の発明は、請求項1、2、3又は4記載の化合物半導体エピタキシャルウェハを用いて作成したことを特徴とするヘテロバイポーラトランジスタ素子である。

【0017】本発明の要点は、GaAs基板とサブコレクタ層との間に、バッファ層として、In<sub>x</sub>Ga<sub>1-x</sub>AsとGaAsを複数周期積層した多層構造、もしくはAl<sub>v</sub>Ga<sub>1-v</sub>AsとGaAsを複数周期積層した多層構造、もしくはAl<sub>v</sub>Ga<sub>1-v</sub>AsとAl<sub>x</sub>Ga<sub>1-x</sub>Asを複数周期積層した多層構造を設けたことにある。

【0018】ここで多層構造のバッファ層とは、2種類の層を繰り返した構造であり、超格子構造を含む。

【0019】InGaAsについては、xとIn<sub>x</sub>Ga<sub>1-x</sub>As層の厚さhcとの関係が、下記(1)、(2)のMatthewsの式(文献1: J.W. Matthews, J. Vac. Sci. Technol. 12, 126(1975))を満たすことが本発明の条件である。

【0020】

タキシャル成長層の格子定数が下地の材料の格子定数の影響を受けなくなり歪みを開放する膜厚とする。

【0023】さらに、上記した多層構造バッファ層は、本来の伝導型はP<sup>-</sup>型もしくは高抵抗であることが望ましく、それには基板からの空乏層の伸びにより空乏化するような厚さとキャリア濃度であることが条件である。

【0024】HBTは結晶欠陥に敏感な素子であるが、本発明により上記多層構造のバッファ層を存在させることにより、基板からの結晶欠陥の伝播を抑止することができる。従って、従来では伝搬した欠陥により抑制されていた電流増幅率 $\beta$ を向上させて、HBTの特性及び信頼性を大幅に向上させることができる。

【0025】

【発明の実施の形態】以下、本発明を図示の実施形態に基づいて説明する。

【0026】図1～図3に、本発明を適用したAlGaAs/GaAs系HBT用エピタキシャルウェハの構造を示す。

【0027】図1は第1の実施形態を示したものであり、半絶縁性GaAs基板1上に、N<sup>+</sup>型GaAsサブコレクタ層2、n型GaAsコレクタ層3、P<sup>+</sup>型GaAsベース層4、n型AlGaAsエミッタ層5、N<sup>+</sup>型GaAsエミッタコンタクト層6及び一般にノンアロイオーミックコンタクト層と呼ばれるN<sup>+</sup>型InGaAsコンタクト層7が順次積層されている。この基本構造は従来の図7のものと同一である。

【0028】しかし、従来と異なり、基板1とサブコレクタ層2との間には、まず半絶縁性GaAs基板1上にアンドープGaAs層11が成長され、その上にAlGaAs層12とGaAs層13とを複数周期積層して成る多層構造のバッファ層10が設けられている。

【0029】図2は第2の実施形態を示したものであり、図1と同じ基本構成において、基板1とサブコレクタ層2との間には、半絶縁性GaAs基板1上にアンドープGaAs層21が成長され、その上に組成の異なるAl<sub>x</sub>Ga<sub>1-x</sub>As層22とAl<sub>y</sub>Ga<sub>1-y</sub>As層23とを複数周期積層して成る多層構造のバッファ層20が設けられている。

【0030】図3は第3の実施形態を示したものであり、図1と同じ基本構成において、基板1とサブコレクタ層2との間には半絶縁性GaAs基板1上にアンドープGaAs層31が成長され、その上にInGaAs層32とGaAs層33とを複数周期積層した歪み格子バッファ層から成る多層構造のバッファ層30が設けられている。

【0031】図4～図6に、本発明を適用したInGaP/GaAs系HBT用エピタキシャルウェハの構造を示す。

【0032】図4は第4の実施形態を示したものであり、半絶縁性GaAs基板1上に、N<sup>+</sup>型GaAsサブコレクタ層2、n型GaAsコレクタ層3、P<sup>+</sup>型GaAsベース層4、n型InGaPエミッタ層50、N<sup>+</sup>型GaAsエミッタコンタクト層6及び一般にノンアロイオーミックコンタクト層と呼ばれるN<sup>+</sup>型InGaAsコンタクト層7が順次積層されている。この基本構造は従来の図8のものと同一である。

【0033】従来と異なる点として、基板1とサブコレクタ層2との間には上述の図1の場合と同様に、まず半絶縁性GaAs基板1上にアンドープGaAs層11が成長され、その上にAlGaAs層12とGaAs層13とを複数周期積層して成る多層構造のバッファ層10が設けられている。

【0034】図5は第5の実施形態を示したものであり、図4と同じ基本構成において、基板1とサブコレクタ層2との間には、半絶縁性GaAs基板1上にアンド

ープGaAs層21が成長され、その上に組成の異なるAl<sub>x</sub>Ga<sub>1-x</sub>As層22とAl<sub>y</sub>Ga<sub>1-y</sub>As層23とを複数周期積層して成る多層構造のバッファ層20が設けられている。

【0035】図6は第6の実施形態を示したものであり、図4と同じ基本構成において、基板1とサブコレクタ層2との間には、半絶縁性GaAs基板1上にアンドープGaAs層31が成長され、その上にInGaAs層32とGaAs層33とを複数周期積層した歪み格子バッファ層から成る多層構造のバッファ層30が設けられている。

【0036】上記のように多層構造のバッファ層10、20又は30を設けることにより、エピタキシャル層中の欠陥を大幅に低減することができ、電流増幅率βの向上を図ることができる。

【0037】(実施例1) 第1の実施例を、図1及び図4の実施形態に基づいて説明する。

【0038】半絶縁性GaAs基板1上にアンドープGaAs層11を100nm成長した後に、50nmのAl<sub>0.3</sub>Ga<sub>0.7</sub>As層12と50nmのGaAs層13のペアを3回繰り返した多層構造のバッファ層10を成長し、その後N<sup>+</sup>型GaAsサブコレクタ層2以降を成長した。

【0039】エピタキシャル成長は、通常のMOVPE法で行った。ここで、アンドープGaAs層11と50nmのGaAs層13及びAl<sub>0.3</sub>Ga<sub>0.7</sub>As層12のキャリア濃度はp型で $1 \times 10^{18} \text{ cm}^{-3}$ 以下とした。

【0040】HBTの特性の指標である電流増幅率βは、多層構造のバッファ層10がない場合が50であったのに対し、本実施例では電流増幅率βが100にまで向上した。

【0041】(実施例2) 第2の実施例を、図3及び図6の実施形態に基づいて説明する。

【0042】半絶縁性GaAs基板1上にアンドープGaAs層31を100nm成長した後に、10nmのIn<sub>0.2</sub>Ga<sub>0.8</sub>As層32と30nmのGaAs層33のペアを10回繰り返した多層構造のバッファ層30を成長し、その後N<sup>+</sup>型GaAsサブコレクタ層2以降を成長した。

【0043】ここで、30nmのGaAs層33のキャリア濃度は、p型で $1 \times 10^{18} \text{ cm}^{-3}$ 以下とした。エピタキシャル成長は、通常のMOVPE法で行った。

【0044】HBTの特性の指標である電流増幅率βは、多層構造のバッファ層30がない場合が50であったのに対し、本実施例では電流増幅率βが150にまで向上した。

【0045】上記実施例1、2の電流増幅率βの向上は、エピタキシャル層中の欠陥を大幅に低減することにより可能になったと考えられる。また、電流増幅率βと信頼性には関係があり、同じ構造では電流増幅率βが高

いほど信頼性が向上することが判っている。

【0046】よって、本発明により電流増幅率 $\beta$ を大幅に向上させることができ、またこれにより、HBT素子の信頼性の向上もかなり期待できるといえる。

【0047】上記の他、図2及び図5の実施形態においても、同様に、電流増幅率 $\beta$ の改善効果が認められた。

【0048】

【発明の効果】以上説明したように、本発明の化合物半導体エビタキシャルウェハ及びヘテロバイポーラトランジスタ素子によれば、GaAs基板とその上に成長するサブコレクタ層との間に、AlGaAsとGaAsを複数周期積層した多層構造のバッファ層、もしくは組成の異なるAlGaAsとAlGaAsを複数周期積層した多層構造のバッファ層、もしくはInGaAsとGaAsを複数周期積層した歪み格子バッファ層を設けているので、基板に起因した欠陥がその上に成長するエビタキシャル層中へ伝搬しなくなる。このため、HBTの半導体素子において、伝搬した欠陥により抑制されていた電流増幅率 $\beta$ を向上させることができ、素子の信頼性を大幅に向上させることができる。また、本発明によれば、電流増幅率 $\beta$ と信頼性をそのように改善したHBT用の化合物半導体エビタキシャルウェハを提供することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る化合物半導体エビタキシャルウェハの断面構造を示す図である。

【図2】本発明の第2の実施形態に係る化合物半導体エビタキシャルウェハの断面構造を示す図である。

【図3】本発明の第3の実施形態に係る化合物半導体エビタキシャルウェハの断面構造を示す図である。

\*30

\*【図4】本発明の第4の実施形態に係るInGaPをエミッタ構造とする化合物半導体エビタキシャルウェハの断面構造を示す図である。

【図5】本発明の第5の実施形態に係るInGaPをエミッタ構造とする化合物半導体エビタキシャルウェハの断面構造を示す図である。

【図6】本発明の第6の実施形態に係るInGaPをエミッタ構造とする化合物半導体エビタキシャルウェハの断面構造を示す図である。

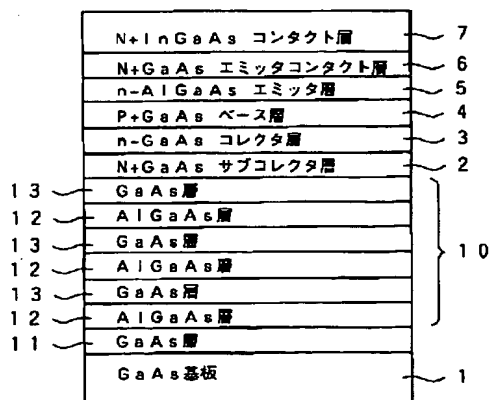
【図7】従来のAlGaAsをエミッタ層とするHBTエビタキシャルウェハの断面構造を示す図である。

【図8】従来のInGaPをエミッタ層とするHBTエビタキシャルウェハの断面構造を示す図である。

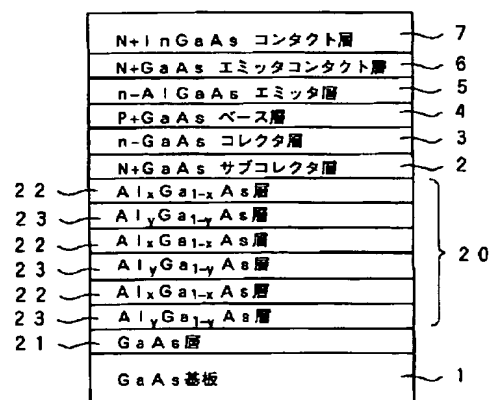
【符号の説明】

- 1 半絶縁性GaAs基板
- 2 N<sup>+</sup>型GaAsサブコレクタ層
- 3 n型GaAsコレクタ層
- 4 P<sup>+</sup>型GaAsベース層
- 5 n型AlGaAsエミッタ層
- 50 InGaPエミッタ層
- 6 N<sup>+</sup>型GaAsエミッタコンタクト層
- 7 N<sup>+</sup>型InGaAsコンタクト層
- 10、20、30 多層構造のバッファ層
- 11、21、31 アンダーブGaAs層
- 12 AlGaAs層
- 13、33 GaAs層
- 22 Al<sub>x</sub>Ga<sub>1-x</sub>As層
- 23 Al<sub>y</sub>Ga<sub>1-y</sub>As層
- 32 InGaAs層

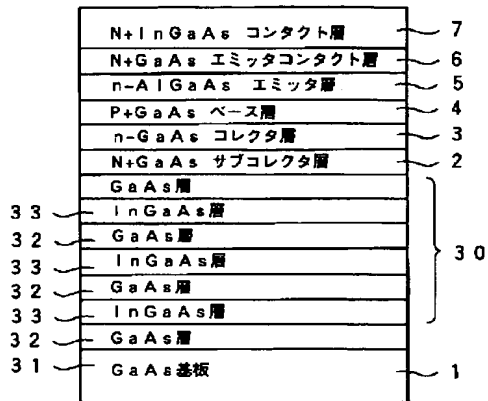
【図1】



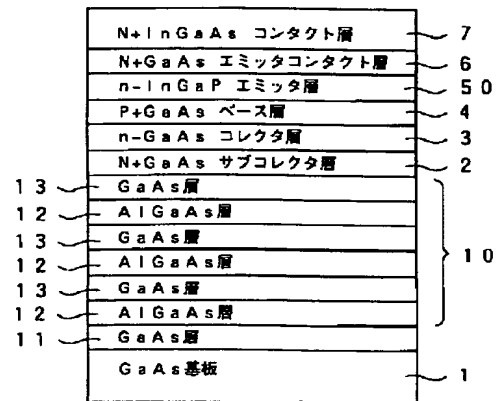
【図2】



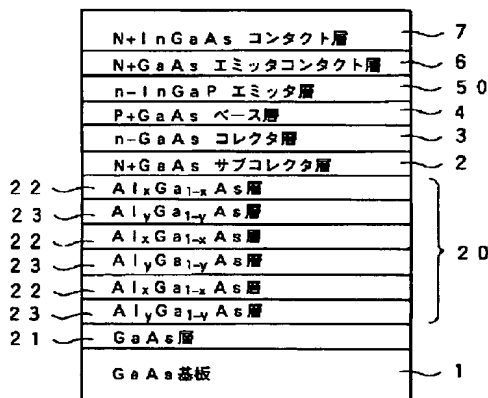
【図3】



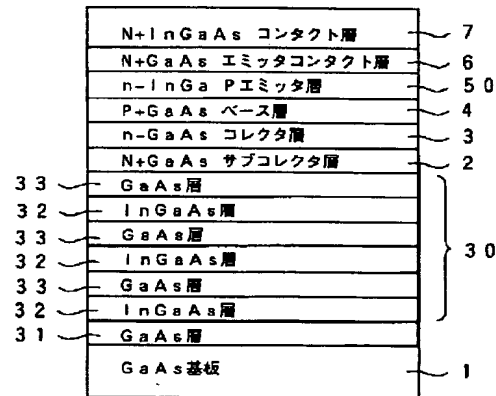
【図4】



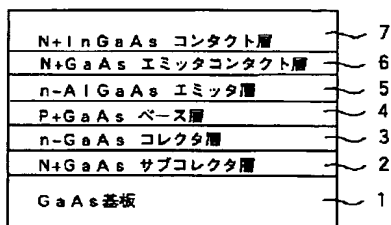
【図5】



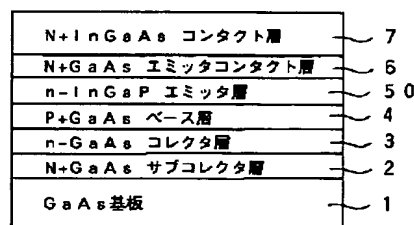
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 乙木 洋平

茨城県日立市日高町5丁目1番1号 日立  
電線株式会社日高工場内

Fターム(参考) 5F003 AP00 BC02 BC90 BF06 BG03

BM03 BP32